

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re: Jae-Duk Lee et al.  
Serial No.: To Be Assigned  
Filed: Concurrently Herewith  
For: MEMORY CELLS WITH NONUNIFORM GATE STRUCTURES AND  
METHODS OF FORMING SAME

December 3, 2003

Mail Stop Patent Application  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

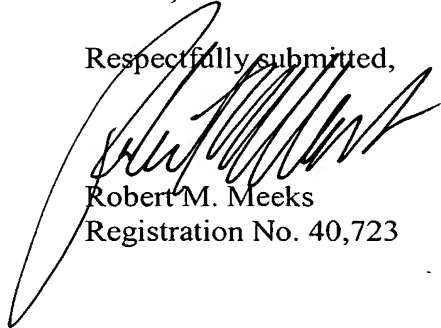
**SUBMITTAL OF PRIORITY DOCUMENT**

Sir:

To complete the requirements of 35 USC 119, enclosed is a certified copy of the following Korean priority application:

10-2002-0076956, filed December 5, 2002.

Respectfully submitted,

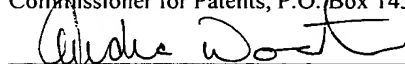


Robert M. Meeks  
Registration No. 40,723

**USPTO Customer No. 20792**  
Myers Bigel Sibley & Sajovec  
Post Office Box 37428  
Raleigh, North Carolina 27627  
Telephone: 919/854-1400  
Facsimile: 919/854-1401

"Express Mail" mailing label number EV 318416554 US  
Date of Deposit: December 3, 2003

I hereby certify that this paper or fee is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR 1.10 on the date indicated above and is addressed to Mail Stop Patent Application, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

  
Audra Wooten  
Date of Signature: December 3, 2003



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출 원 번 호 : 10-2002-0076956  
Application Number

출 원 년 월 일 : 2002년 12월 05일  
Date of Application DEC 05, 2002

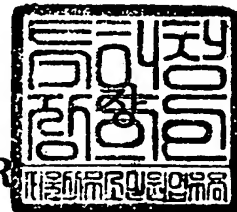
출 원 인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 04 월 30 일

특 허 청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2002. 12. 05
【발명의 명칭】	플로팅 게이트를 갖는 비휘발성 기억 셀들 및 그 형성방법
【발명의 영문명칭】	Non-volatile memory cells having floating gate and method of forming the same
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【발명자】	
【성명의 국문표기】	이재덕
【성명의 영문표기】	LEE, JAE DUK
【주민등록번호】	700715-1405619
【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 벽적골8단지아파트 우성아파트 823동 4 03호
【국적】	KR
【발명자】	
【성명의 국문표기】	박동건
【성명의 영문표기】	PARK, DONG GUN
【주민등록번호】	590218-1053119
【우편번호】	463-500

【주소】	경기도 성남시 분당구 구미동 무지개마을 제일 아파트 801동 401호
【국적】	KR
【발명자】	
【성명의 국문표기】	최정혁
【성명의 영문표기】	CHOI, JEONG HYUK
【주민등록번호】	620308-1011926
【우편번호】	449-846
【주소】	경기도 용인시 수지읍 풍덕천리 1168 진산마을 삼성5차아파트 501동 1504호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 임창현 (인) 대리인 권혁수 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	23 면 23,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	20 항 749,000 원
【합계】	801,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

**【요약서】****【요약】**

플로팅 게이트를 갖는 비휘발성 기억 셀들 및 그 형성방법을 제공한다. 이 비휘발성 기억 셀은 반도체기판의 소정영역에 배치되어 활성영역을 한정하는 소자분리막을 구비한다. 활성영역 상부에 플로팅 게이트가 배치되고, 활성영역 및 플로팅 게이트 사이에 터널절연막이 개재된다. 플로팅 게이트의 하부면 및 플로팅 게이트 아래의 활성영역 중 적어도 하나의 일부분이 돌출된 돌출부가 배치된다. 이때, 돌출부는 뿔족한 형태(tapered shape)이다.

**【대표도】**

도 4

## 【명세서】

## 【발명의 명칭】

플로팅 게이트를 갖는 비휘발성 기억 셀들 및 그 형성방법{Non-volatile memory cells having floating gate and method of forming the same}

## 【도면의 간단한 설명】

도 1은 일반적인 플래쉬 기억소자의 단위 셀을 설명하기 위한 단면도이다.

도 2는 도 1의 I-I'을 따라 취해진 플래쉬 기억 셀의 프로그램 동작시 에너지 밴드 다이어그램이다.

도 3은 본 발명의 일 실시예에 따른 비휘발성 기억 셀을 설명하기 위한 평면도이다

도 4는 도 3의 II-II'을 따라 취해진 단면도이다.

도 5는 도 4의 III-III'을 따라 절취된 비휘발성 기억 셀의 프로그램 동작시, 전기장 세기를 나타내는 개략적인 그래프이다.

도 6은 도 4의 IV-IV'을 따라 절취된 비휘발성 기억 셀의 프로그램 동작시, FN 전류를 나타내는 그래프이다.

도 7은 도 4의 III-III'을 따라 취해진 비휘발성 기억 셀의 프로그램 동작시 에너지 밴드 다이어그램이다.

도 8 및 도 9는 도 3의 II-II'을 따라 취해진 비휘발성 기억 셀의 형성방법을 설명하기 위한 단면도들이다.

도 10은 본 발명의 다른 실시예에 따른 비휘발성 기억 셀을 설명하기 위한 평면도이다.

도 11은 도 10의 V-V'를 따라 취해진 단면도이다.

도 12 및 도 13은 도 10의 V-V'를 따라 취해진 비휘발성 기억 셀의 형성방법을 설명하기 위한 단면도들이다.

도 14는 본 발명의 또 다른 실시예에 따른 비휘발성 기억 셀을 설명하기 위한 단면도이다.

도 15 내지 도 17은 도 14의 비휘발성 기억 셀 형성방법을 설명하기 위한 단면도들이다.

#### 【발명의 상세한 설명】

#### 【발명의 목적】

#### 【발명이 속하는 기술분야 및 그 분야의 종래기술】

<14> 본 발명은 반도체소자 및 그 형성방법에 관한 것으로, 특히 플로팅 게이트를 갖는 비휘발성 기억 셀들 및 그 형성방법에 관한 것이다.

<15> 반도체 기억소자들은 휘발성 기억소자와 비휘발성 기억소자로 구분할 수 있다. 휘발성 기억소자란 전원 공급이 중단될때, 기억 셀이 저장된 데이터를 모두 상실하는 기억소자로 예컨대, 디램 소자 및 에스램 소자가 여기에 속한다. 이와는 달리, 비휘발성 기억소자는 전원 공급이 중단될지라도, 기억 셀에 저장된 데이터를 그대로 유지하는 기억소자, 예컨대, 플래쉬 기억소자가 여기에 속한다.

- <16> 도 1은 일반적인 플래쉬 기억소자의 단위 셀을 설명하기 위한 단면도이며, 도 2는 도 1의 I-I'을 따라 취해진 플래쉬 기억 셀의 프로그램 동작시 에너지 밴드 다이어그램이다.
- <17> 도 1 및 도 2를 참조하면, 반도체기판(1) 상에 차례로 적층된 터널산화막(2), 플로팅 게이트(3), 제어 게이트 절연막(4) 및 제어 게이트 전극(5)으로 구성된 게이트 패턴(6)이 배치된다. 상기 게이트 패턴(6) 양측의 활성영역들에 각각 불순물확산층(7)이 형성된다. 상기 불순물확산층(7)은 소오스/드레인 영역에 해당한다. 상기 게이트 패턴(6) 아래의 상기 반도체기판(1)은 채널영역(8)에 해당한다. 상기 플로팅 게이트(3)는 전하를 저장하는 장소로서 전기적으로 격리된다. 상기 제어 게이트 전극(5)은 프로그램 동작 또는 소거 동작을 담당한다. 상기 프로그램 동작이란 상기 제어 게이트 전극(5)에 프로그램 전압을 인가하고, 상기 반도체기판(1)에 기준전압을 인가하여 상기 반도체기판(1)내의 전하들을 상기 터널산화막(2)을 터널링시켜 상기 플로팅 게이트(3) 내로 유입시키는 동작을 말한다. 이와는 달리, 상기 소거 동작이란 상기 제어 게이트 전극(5)에 소거 전압을 인가하고, 상기 반도체기판(1)에 기준전압을 인가하여 상기 플로팅 게이트(3) 내의 저장된 전하들을 상기 반도체기판(1)으로 방출하는 동작을 말한다. 통상적으로, 상기 프로그램 전압 및 소거 전압은 전원 전압에 비하여 높다.
- <18> 상술한 플래쉬 기억 셀에서, 전하들이 상기 터널산화막(2)을 터널링하는 방식은 Fowler-Nordheim tunneling(이하 FN tunneling이라고 함) 방식을 이용할 수 있다. 이때, 전하들은 상기 채널영역(8) 전체에 걸쳐 상기 터널산화막(2)을 터널링한다. 전하들, 즉, 전자들 및 정공들이 상기 터널산화막(2)을 터널링하는 방식을 도 2의 에너지 밴드 다이어그램을 참조하여 설명한다.



<19>      상기 플래쉬 기억 셀에 데이터를 기입하는 프로그램 동작시, 상기 제어 게이트 전극(5)에 프로그램 전압을 인가하고, 상기 반도체기판(1)에 기준전압을 인가한다. 상기 소오스/드레인 영역(7)은 플로팅 상태이다. 이때, 상기 프로그램 전압은 상기 기준전압에 비하여 높다. 이에 따라, 상기 터널산화막(2)의 에너지 밴드는 기울어져 상부 및 하부의 에너지 밴드 폭이 좁아진다. 이로 인하여, 상기 채널영역(8)의 전도대( $E_c$ ; conduction band)에 있던 전자들은 상기 터널산화막(2)의 좁아진 상부 에너지 밴드를 FN 터널링하여 상기 플로팅 게이트(3) 내로 이동한다(A). FN 터널링하는 전자들의량은 상기 상부 에너지 밴드의 폭(10)이 좁아질수록 증가한다. 이때, 상기 플로팅 게이트(3)의 가전자대( $E_v$ ; valence band)의 정공들은 상기 터널산화막(2)의 좁아진 하부 에너지 밴드를 FN 터널링하여 상기 채널영역(8)으로 이동한다(B). 상기 터널링 하는 정공들의량 역시 상기 하부 에너지 밴드의 폭(11)이 좁아질수록 증가한다. 상기 터널링되는 정공들의량은 상기 터널링되는 전자들의량에 비하여 작다. 이는, 정공들의 유효질량이 전자들의 유효질량에 비하여 큰 것에 기인한다.

<20>      한편, 반도체 소자의 고집적화 경향 및 저소비전력 추세로, 상기 프로그램 전압 및 상기 소거 전압의 감소가 요구되고 있다. 또한, 상기 플래쉬기억소자에 대한 향상된 내구성(endurance)이 요구되고 있다.

<21>      상기 플래쉬기억 셀에 프로그램 및 소거 동작을 반복할수록 내구성은 열화될 수 있다. 즉, 상기 터널산화막(2)을 터널링하는 전하들에 의해 상기 터널산화막(2)의 계면에 계면 트랩들이 형성될 수 있다. 상기 계면 트랩에 터널링하는 전하들이 트랩되어 플래쉬 기억소자의 내구성이 열화될 수 있다. 특히, 전자들에 비하여 유효질량이 큰 정공들은 상기 계면 트랩들의 생성에 더 큰 영향을 줄 수 있다.

**【발명이 이루고자 하는 기술적 과제】**

<22> 본 발명이 이루고자 하는 기술적 과제는 프로그램 전압 또는 소거 전압을 감소시키고, 내구성을 향상시킬 수 있는 플로팅 게이트를 갖는 비휘발성 기억 셀들을 제공하는데 있다.

<23> 본 발명이 이루고자 하는 다른 기술적 과제는 프로그램 전압 또는 소거 전압을 감소시키고, 내구성을 향상시킬 수 있는 플로팅 게이트를 갖는 비휘발성 기억 셀의 형성 방법을 제공하는데 있다.

**【발명의 구성 및 작용】**

<24> 상술한 기술적 과제를 해결하기 위한 플로팅 게이트를 갖는 비휘발성 기억 셀을 제공한다. 이 비휘발성 기억 셀은 반도체기판의 소정영역에 배치되어 활성영역을 한정하는 소자분리막을 포함한다. 상기 활성영역 상부에 플로팅 게이트가 배치되고, 상기 활성영역 및 상기 플로팅 게이트 사이에 터널절연막이 개재된다. 상기 플로팅 게이트의 하부면 및 상기 플로팅 게이트 아래의 상기 활성영역 중 적어도 하나의 일부분이 돌출된 돌출부가 배치된다. 이때, 상기 돌출부는 뿔족한 형태(tapered shape)이다.

<25> 구체적으로, 상기 돌출부는 상기 소자분리막 및 상기 활성영역의 경계선 상에 위치하는 것이 바람직하다. 상기 돌출부는 상기 활성영역의 일부분이 돌출된 적어도 하나의 활성영역 돌출부일 수 있다. 이와는 다르게, 상기 돌출부는 상기 플로팅 게이트 하부면의 일부분이 돌출된 적어도 하나의 게이트 돌출부일 수 있다. 더 나아가서, 상기 돌출부는 상기 플로팅 게이트 하부면의 일부분이 돌출된 적어도 하나의 게이트 돌출부 및 상기 활성영역의 일부분이 돌출된 적어도 하나의 활성영역 돌출부를 포함할 수 있다.

- <26> 상술한 다른 기술적 과제를 해결하기 위한 플로팅 게이트를 갖는 비휘발성 기억 셀의 형성방법을 제공한다. 이 방법은 반도체기판을 준비하는 단계를 포함한다. 상기 반도체기판에 활성영역을 한정하고, 상부측벽이 노출된 소자분리막을 형성한다. 상기 활성영역 상에 적층된 터널절연막 및 플로팅 게이트를 형성하되, 상기 플로팅 게이트의 하부면 및 상기 플로팅 게이트 아래의 상기 활성영역 중 적어도 하나의 일부분을 돌출시킨다. 이때, 상기 돌출된 부분은 뿔족한 형태(tapered shape)로 형성한다.
- <27> 구체적으로, 상기 터널절연막, 플로팅 게이트 및 돌출된 부분을 형성하는 단계는 상기 노출된 소자분리막의 상부측벽에 상기 활성영역과 하부면이 접촉하고, 상기 활성영역에 대하여 식각선택비를 갖는 스페이서를 형성하는 단계를 포함할 수 있다. 상기 스페이서를 마스크로 사용하여 상기 활성영역을 리세스하여 스페이서 하부에 예비 활성영역 돌출부를 형성하고, 상기 스페이서를 제거하여 상기 예비 활성영역 돌출부를 노출시킨다. 상기 예비 활성영역 돌출부를 갖는 상기 활성영역을 열산화시켜, 뿔족한 형태의 활성영역 돌출부 및 터널절연막을 형성하고, 상기 터널절연막 상에 플로팅 게이트를 형성한다. 이때, 상기 활성영역 돌출부는 상기 돌출된 부분이다.
- <28> 이와는 다르게, 상기 터널절연막, 플로팅 게이트 및 돌출된 부분을 형성하는 단계는 상기 활성영역 상에 터널절연막을 형성하는 단계를 포함할 수 있다. 상기 노출된 상부측벽에 상기 터널절연막에 하부면이 접촉하는 스페이서를 형성하고, 상기 스페이서 일측의 상기 활성영역 상에 상기 스페이서와 동일한 높이를 갖는 물질막 패턴을 형성한다. 상기 스페이서 및 상기 물질막 패턴을 이방성 식각하여 상기 터널절연막을 노출시키되, 상기 스페이서 하부의 상기 터널절연막에 뿔족한 형태의 홈을 형성한다. 상기 홈을 갖는 상기 터널절연막 상에 플로팅 게이트를 형성한다. 이때, 상기 스페이서는 상기 물질막

패턴 및 상기 터널절연막에 비하여 상기 이방성식각에 대한 식각율이 높고, 상기 플로팅 게이트의 일부분은 상기 플로팅 게이트 하부의 상기 홈을 채운다. 상기 홈 내부의 상기 플로팅 게이트는 상기 돌출된 부분이다.

<29> 이와는 또 다르게, 상기 터널절연막, 플로팅 게이트 및 돌출된 부분을 형성하는 단계는 상기 노출된 소자분리막의 상부측벽에 상기 활성영역과 하부면이 접촉하고, 상기 활성영역에 대하여 식각선택비를 갖는 제1 스페이서를 형성하는 단계를 포함할 수 있다. 상기 제1 스페이서를 마스크로 사용하여 상기 활성영역을 리세스하고, 상기 제1 스페이서를 제거한다. 상기 활성영역을 열산화시켜 뾰족한 형태의 활성영역 돌출부 및 터널절연막을 형성한다. 상기 노출된 상부 측벽에 상기 터널절연막에 하부면이 접촉하는 제2 스페이서를 형성하고, 상기 제2 스페이서 일측의 상기 활성영역 상에 상기 제2 스페이서와 동일한 높이를 갖는 물질막 패턴을 형성한다. 상기 제2 스페이서 및 상기 물질막 패턴을 이방성 식각하여 상기 터널절연막을 노출시키되, 상기 제2 스페이서 하부의 상기 터널절연막에 뾰족한 형태의 홈을 형성한다. 상기 홈을 갖는 터널절연막 상에 플로팅 게이트를 형성한다. 이때, 상기 제2 스페이서는 상기 물질막 패턴 및 상기 터널절연막에 비하여 상기 이방성 식각에 대한 식각율이 높고, 상기 플로팅 게이트의 일부분은 상기 플로팅 게이트 하부의 상기 홈을 채운다. 상기 홈 내부의 상기 플로팅 게이트 및 상기 활성영역 돌출부는 상기 돌출된 부분이다.

<30> 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다. 그러나, 본 발명은 여기서 설명되어지는 실시예에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예는 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제

공되어지는 것이다. 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하기 위하여 과장되어진 것이다. 또한 층이 다른 층 또는 기판 상에 있다고 언급되어지는 경우에 그것은 다른 층 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제 3의 층이 개재될 수도 있다.

<31> (실시예 1)

<32> 도 3은 본 발명의 일 실시예에 따른 비휘발성 기억 셀을 설명하기 위한 평면도이며, 도 4는 도 3의 II-II'을 따라 취해진 단면도이다.

<33> 도 3 및 도 4를 참조하면, 반도체기판(101)의 소정영역에 활성영역을 한정하는 소자분리막(102)이 배치된다. 상기 소자분리막(102)은 실리콘산화막으로 이루어질 수 있다. 상기 활성영역 상부에 플로팅 게이트(104)가 배치된다. 상기 플로팅 게이트(104)는 전기적으로 격리된다. 상기 플로팅 게이트(104)는 도전막, 예컨대, 도핑된 폴리실리콘막으로 이루어질 수 있다. 상기 플로팅 게이트(104) 및 상기 활성영역 사이에 터널절연막(103)이 개재된다. 상기 터널절연막(103)은 열산화막으로 이루어지는 것이 바람직하다. 상기 플로팅 게이트(104) 상부에 상기 활성영역을 가로지르는 제어 게이트 전극(106)이 위치하고, 상기 플로팅 게이트(104) 및 상기 제어 게이트 전극(106) 사이에 게이트 충전유전막(105)이 개재된다. 상기 제어 게이트 전극(106)은 도핑된 폴리실리콘막 또는 폴리사이드막으로 이루어질 수 있다. 상기 폴리사이드막은 적층된 도핑된 폴리실리콘막 및 금속실리사이드막으로 구성된다. 상기 게이트 충전유전막(105)은 실리콘산화막 또는 ONO막(Oxide-Nitride-Oxide layer)으로 이루어질 수 있다. 상기 제어 게이트 전극(106) 양측의 활성영역들에 각각 불순물확산층(109)이 배치된다. 한 쌍의 상기 불순물확산층들(109)은 소오스/드레인 영역에 해당한다. 상기 플로팅 게이트(104) 하부의 상기

활성영역은 채널영역(110)에 해당한다. 상기 한 쌍의 불순물확산층들(109)은 채널길이(L)로 이격되어 있다. 상기 채널영역(110)은 상기 채널길이(L)에 수직한 채널 폭(W)을 갖는다.

<34>       상기 채널영역(110) 내에 상기 활성영역이 돌출된 적어도 하나의 활성영역 돌출부(107a)가 배치된다. 상기 활성영역 돌출부(107a)는 상기 활성영역 및 상기 소자분리막(102)의 경계선 상에 위치하는 것이 바람직하다. 즉, 상기 플로팅 게이트(104) 양 가장자리 하부에 한 쌍의 상기 활성영역 돌출부들(107a)이 배치되는 것이 바람직하다. 상기 채널영역(110) 내의 상기 활성영역의 표면은 상기 한 쌍의 활성영역 돌출부들(107a) 및 상기 한 쌍의 활성영역 돌출부들(107a) 사이의 활성영역 평탄부(108)로 구분될 수 있다. 상기 활성영역 돌출부(107a)는 돌출된 끝부분으로 갈수록 폭이 가늘어진다. 즉, 상기 활성영역 돌출부(107a)는 뿔족한 형태(tapered shape)이다. 상기 활성영역 돌출부(107a)의 뿔족한 끝단은 상기 플로팅 게이트(104)의 하부면을 향한다. 상기 활성영역 돌출부(107a) 상의 상기 터널절연막(103)의 두께는 상기 활성영역 평탄부(108) 상의 상기 터널절연막(103)의 두께에 비하여 얇은 것이 바람직하다. 상기 활성영역 돌출부(107a)는 상기 채널길이(L)와 평행한 라인 형태인 것이 바람직하다.

<35>       상술한 비휘발성 기억 셀에 데이터를 프로그램 또는 소거하기 위하여 상기 제어 게이트 전극(106)에 프로그램 또는 소거 전압을 인가할때, 상기 플로팅 게이트(104)와 인접한 상기 활성영역 돌출부(107a)의 끝단에 전기장이 집중되어 전기장의 세기가 증가한다. 이로 인하여, 상기 활성영역 돌출부(107a)를 통하여 상기 터널절연막(103)을 터널링하는 전자들의 양은 종래에 비하여 증가한다. 결과적으로, 상기 프로그램 또는 소거 전압을 감소시킬 수 있다. 상술한 비휘발성 기억 셀의 프로그램 동작 또는 소거 동작시,

전자들은 상기 터널절연막(103)을 FN 터널링(Fowler-Nordheim tunneling) 방식으로 터널링한다.

- <36>       상기 활성영역 돌출부(107a)의 끝단에 유기되는 전기장의 세기 및 상기 활성영역 돌출부(107a)를 통하여 흐르는 FN 전류량에 대한 컴퓨터 시뮬레이션 데이터를 각각 도 5 및 도 6에 도시하였다.
- <37>       도 5는 도 4의 III-III'을 따라 절취된 비휘발성 기억 셀의 프로그램 동작시, 전기장 세기를 나타내는 개략적인 그래프이며, 도 6은 도 4의 IV-IV'을 따라 절취된 비휘발성 기억 셀의 프로그램 동작시, FN 전류량을 나타내는 개략적인 그래프이다. 도 5의 그래프에 있어서, x축은 도 4의 III-III'의 절취면에 따른 위치를 나타내고, y축은 전기장의 세기를 나타낸다. 도 6의 그래프에 있어서, x축은 도 4의 IV-IV'의 절취면에 따른 위치를 나타내며, y축은 FN전류량의 비를 나타낸다.
- <38>       도 4, 도 5 및 도 6을 참조하면, 상기 플로팅 게이트(104)에 10 V를 인가하고, 상기 반도체기판(101)에 0 V(ground voltage)을 인가하고, 상기 소오스/드레인 영역(109)은 플로팅시켰다. 이때, 도 5에 도시된 바와 같이, 상기 플로팅 게이트(104)로부터 상기 활성영역 돌출부(107a)의 끝단으로 갈수록 전기장의 세기가 증가한다. 즉, 상기 활성영역 돌출부(107a) 끝단의 전기장 세기는 상기 플로팅 게이트(104) 및 상기 터널절연막(103)의 경계면에 대하여 약 1.6배 증가한다. 결과적으로, 상기 활성영역 돌출부(107a)의 끝단에 전기장이 집중되어 전기장의 세기가 증가함을 알 수 있다. 상기 증가된 전기장의 세기로 인하여, 상기 활성영역 돌출부(107a)의 끝단으로 FN 터널링되는 전류량은 상기 활성영역 평탄부(108)에 비하여 증가한다. 상기 FN 전류량을 도 6에 도시하였다. 도 6에서의 y축은 상기 활성영역 평탄부(108)의 중앙점(k)으로 터널링되는 FN 전류량에

대한 비(ratio)를 상용로그(log) 스케일로 나타냈었다. 도 6에 도시된 바와 같이, 상기 활성영역 돌출부(107a)의 끝단을 터널링하는 FN 전류량은 상기 평탄부(108)의 중앙점(k)의 FN 전류량에 비하여 약 1만배 정도 크게 나타낸다. 여기에는, 상기 활성영역 돌출부(107a)의 끝단 상에 위치한 상기 터널절연막(103)의 두께가 상기 활성영역 평탄부(108) 상에 위치한 상기 터널절연막(103)의 두께에 비하여 얇아진 효과도 포함된다. 상기 터널절연막(103)의 두께가 얇아진 효과를 배제할 경우, 상기 활성영역 돌출부(107a) 끝단의 FN 전류량은 상기 활성영역 평탄부(108)의 FN 전류량의 약 1천배 정도 증가한다.

<39>       상기 비휘발성 기억 셀에 소거 동작을 진행할 경우에도, 상기 활성영역 돌출부(107a)의 끝단에 유기되는 전기장의 세기가 증가한다. 이로 인하여, 상기 플로팅 게이트(104)로 부터 상기 활성영역으로 방출되는 전자들의량은 상기 활성영역 평탄부(108)에 비하여 상기 활성영역 돌출부(107a)가 크게 된다.

<40>       결과적으로, 프로그램 또는 소거 동작시, 상기 터널절연막(103)을 터널링하는 전자들의량이 일반적인 플래쉬 기억 셀에 비하여 증가한다. 이로 인하여, 상기 비휘발성 기억 셀은 일반적인 비휘발성 기억 셀에 비하여 프로그램 또는 소거 전압을 감소시킬 수 있다.

<41>       한편, 상기 비휘발성 기억 셀은 상기 터널절연막(103)을 터널링하는 정공들의량을 종래에 비하여 감소시킬 수 있다. 도 7의 에너지 밴드 다이어그램을 참조하여 설명한다.

<42>       도 7은 도 4의 III-III'을 따라 취해진 비휘발성 기억 셀의 프로그램 동작시의 에너지 밴드 다이어그램이다.



- <43> 도 2, 도 4 및 도 7을 참조하면, 프로그램 동작시, 터널절연막(103)의 에너지 밴드는 기울어진다. 이때, 활성영역 돌출부(107a)에 인접할수록 전기장의 세기가 증가함으로써, 상기 터널절연막(103)의 상부 에너지 밴드 폭(120)은 도 2의 상부 에너지 밴드 폭(10)에 비하여 좁아진다. 이로 인하여, 상기 활성영역 돌출부(107a)의 전도대(Ec; conduction band)로부터 상기 상부 에너지 밴드 폭(120)으로 터널링하는 전자들의량은 증가한다. 이에 반하여, 플로팅 게이트(104) 내의 정공들이 터널링하는 상기 터널절연막(103)의 하부 에너지 밴드 폭(121)은 도 2의 에너지 밴드의 하부 폭(11)에 비하여 넓어진다. 이에 따라, 상기 플로팅 게이트(104)로부터 상기 터널절연막(103)을 터널링하는 정공들의량은 감소된다.
- <44> 결과적으로, 상기 터널절연막(103)을 터널링하는 정공들의량이 감소함으로써, 상기 터널절연막(103)의 계면에 형성되는 계면 트랩들을 감소시킬 수 있다. 이로 인하여, 상기 비휘발성 기억 셀의 내구성을 향상시킬 수 있다.
- <45> 도 8 및 도 9는 도 3의 II-II'을 따라 취해진 비휘발성 기억 셀의 형성방법을 설명하기 위한 단면도들이다.
- <46> 도 3, 도 4, 도 8 및 도 9를 참조하면, 반도체기판(101)에 활성영역을 한정하는 소자분리막(102)을 형성한다. 이때, 상기 소자분리막(102)의 상부 측벽이 노출되는 것이 바람직하다. 상기 소자분리막(102)은 트렌치 소자분리막으로 형성할 수 있다. 상기 소자분리막(102)은 실리콘산화막으로 형성할 수 있다.
- <47> 상기 노출된 소자분리막(102)의 상부측벽에 스페이서(150)를 형성한다. 상기 스페이서(150)는 상기 활성영역에 대하여 식각선택비를 갖는 물질막으로 형성하는 것이 바람직하다. 상기 스페이서(150)를 도 3의 플로팅 게이트(104) 하부에만 위치하도록 패터닝

하는 공정을 더 진행할 수 있다. 이와는 달리, 상기 스페이서(150)를 패터닝하는 공정은 생략될 수도 있다. 상기 스페이서(150)는 실리콘질화막으로 형성할 수 있다. 상기 스페이서(150) 및 상기 소자분리막(102)을 마스크로 사용하여 상기 활성영역을 리세스하여 상기 스페이서(150) 아래에 예비 활성영역 돌출부(107) 및 활성영역 평탄부(108)를 형성한다. 상기 활성영역 평탄부(108)는 상기 리세스된 활성영역에 해당한다.

<48>        상기 스페이서(150)를 제거하여 상기 예비 활성영역 돌출부(107)를 노출시킨다. 상기 예비 활성영역 돌출부(107)를 포함한 상기 활성영역 상에 터널절연막(103)을 형성한다. 상기 터널절연막(103)은 열산화막으로 형성하는 것이 바람직하다. 이로 인하여, 상기 예비 활성영역 돌출부(107)는 활성영역 돌출부(107a)로 형성된다. 즉, 상기 예비 활성영역 돌출부(107)의 끝부분이 상기 열산화 공정에 의하여 뾰족한 형태(tapered shape)로 형성된다. 상기 열산화공정시, 상기 소자분리막(102)과 인접한 상기 터널절연막(103)의 가장자리의 두께는 상기 소자분리막(102)으로 인하여 상기 활성영역 평탄부(108) 상의 상기 터널절연막(103)에 비하여 얇게 형성할 수 있다.

<49>        이 후, 도 4의 플로팅 게이트(104), 게이트 충전유전막(105) 및 제어 게이트 전극(106)을 형성한다. 상기 플로팅 게이트(104) 및 상기 제어 게이트 전극(106)은 동시에 형성될 수 있다. 다시 말해서, 상기 터널절연막(103) 상에 예비 플로팅 게이트(미도시함)을 형성한다. 상기 예비 플로팅 게이트는 상기 활성영역 상부에 형성된다. 상기 예비 플로팅 게이트를 포함하는 반도체기판(101) 전면상에 충전유전막(미도시함) 및 제어 게이트 전극막(미도시함)을 차례로 형성한다. 상기 제어 게이트 전극막, 상기 충전유전막 및 상기 예비 플로팅 게이트를 연속적으로 패터닝하

여 상기 플로팅 게이트(104), 상기 게이트 충전유전막(105) 및 상기 제어 게이트 전극(106)을 형성한다. 이때, 상기 제어 게이트 전극(106)은 상기 활성영역을 가로지른다. 상기 제어 게이트 전극(106) 양측의 활성영역에 불순물 이온들을 주입하여 불순물확산층(109)을 형성한다. 이와는 다르게, 상기 플로팅 게이트(104) 및 상기 제어 게이트 전극(106)은 순차적으로 형성할 수 있다. 결과적으로, 도 3 및 도 4의 비휘발성 기억 셀을 형성할 수 있다.

<50> (실시예 2)

<51> 본 발명의 다른 실시예에 따른 비휘발성 기억 셀의 특징은 플로팅 게이트 하부면의 일부분이 돌출되는 것이다.

<52> 도 10은 본 발명의 다른 실시예에 따른 비휘발성 기억 셀을 설명하기 위한 평면도이며, 도 11은 도 10의 V-V'를 따라 취해진 단면도이다.

<53> 도 10 및 도 11을 참조하면, 반도체기판(201)의 소정영역에 활성영역을 한정하는 소자분리막(202)이 배치되고, 상기 활성영역 상부에 플로팅 게이트(204)가 배치된다. 상기 플로팅 게이트(204) 및 상기 활성영역 사이에 터널절연막(203)이 개재된다. 상기 소자분리막(202)은 실리콘산화막으로 이루어질 수 있다. 상기 플로팅 게이트(204)는 도전막, 예컨대, 도핑된 폴리실리콘막으로 이루어질 수 있다. 상기 터널절연막(203)은 열산화막으로 이루어지는 것이 바람직하다.

<54> 상기 플로팅 게이트(204) 상부에 상기 활성영역을 가로지르는 제어 게이트 전극(206)이 배치된다. 상기 제어 게이트 전극(206) 및 상기 플로팅 게이트(204) 사이에 게이트 충전유전막(205)이 개재된다. 상기 제어 게이트 전극(206)은 도핑된

폴리실리콘막 또는 폴리사이드막으로 이루어질 수 있다. 상기 폴리사이드막은 차례로 적층된 도핑된 폴리실리콘막 및 금속실리사이드막으로 구성된다. 상기 게이트 층간유전막(205)은 실리콘산화막 또는 ONO막으로 이루어질 수 있다. 상기 제어 게이트 전극(206) 양측의 활성영역들에 각각 불순물확산층(209)이 배치된다. 상기 한 쌍의 불순물확산층들(209)은 소오스/드레인 영역에 해당한다. 상기 플로팅 게이트(204) 하부의 상기 활성영역은 채널영역(210)에 해당한다. 상기 한 쌍의 불순물확산층들(209)은 상기 채널영역(210)의 채널길이(L)로 이격되어 있다. 상기 채널영역(110)은 상기 채널길이(L)에 수직 한 채널 폭(W)을 갖는다.

<55>      상기 플로팅 게이트(204)의 하부면에 상기 플로팅 게이트(204)의 일부분이 돌출된 적어도 하나의 게이트 돌출부(207a)가 배치된다. 상기 게이트 돌출부(207a)는 상기 활성영역 및 상기 소자분리막(202)의 경계선 상에 위치하는 것이 바람직하다. 즉, 상기 플로팅 게이트(204)의 양 가장자리 하부면에 한 쌍의 상기 활성영역 돌출부들(207a)이 배치되는 것이 바람직하다. 상기 플로팅 게이트(204)의 하부면은 상기 한 쌍의 게이트 돌출부들(207a) 및 상기 한 쌍의 게이트 돌출부들(207a) 사이의 게이트 평탄부(208)로 구성될 수 있다. 상기 게이트 돌출부(207a)는 끝부분으로 갈수록 폭이 가늘어진다. 즉, 상기 게이트 돌출부(207a)는 뾰족한 형태(tapered shape)이다. 상기 게이트 돌출부(207a)의 뾰족한 끝단은 상기 활성영역을 향한다. 상기 게이트 돌출부(207a) 아래의 상기 터널절연막(203)의 두께는 상기 게이트 돌출부(208) 아래의 상기 터널절연막(203)의 두께에 비하여 얇은 것이 바람직하다. 상기 게이트 돌출부(207a)는 상기 채널 길이(L)에 평행한 라인 형태인 것이 바람직하다.

- <56> 상술한 다른 실시예에 따른 비휘발성 기억 셀에서는, 상기 제어 게이트 전극(206)에 프로그램 또는 소거 전압을 인가할때, 상기 게이트 돌출부(207a)의 뾰족한 끝단에 전기장이 집중된다. 이에 따라, 상기 게이트 돌출부(207a)의 뾰족한 끝단에 유기되는 전기장의 세기가 증가하여 상기 터널절연막(203)을 터널링하는 전자량, 즉, FN 전류량이 증가한다. 결과적으로, 상기 프로그램 또는 소거전압을 감소시킬 수 있다. 또한, 상기 터널절연막(203)을 터널링하는 정공들의 양이 감소함으로써, 비휘발성 기억 셀의 내구성을 향상시킬 수 있다.
- <57> 도 12 및 도 13은 도 10의 V-V'를 따라 취해진 비휘발성 기억 셀의 형성방법을 설명하기 위한 단면도들이다.
- <58> 도 10, 도 11, 도 12 및 도 13을 참조하면, 반도체기판(201)에 활성영역을 한정하는 소자분리막(202)을 형성한다. 상기 소자분리막(202)의 상부측벽은 노출되는 것이 바람직하다. 상기 소자분리막(202)은 트렌치 소자분리막으로 형성할 수 있다. 상기 활성영역 상에 터널절연막(203)을 형성한다. 상기 터널절연막(203)은 열산화막으로 형성할 수 있다. 이때, 상기 터널절연막(203) 상에는 상기 노출된 소자분리막(202)의 상부측벽이 여전히 노출된다.
- <59> 상기 노출된 소자분리막(202)의 상부측벽에 스페이서(250)를 형성한다. 상기 스페이서(250)의 하부면은 상기 터널절연막(203)의 상부면과 접촉한다. 상기 스페이서(250)는 상기 활성영역 양단에 한 쌍으로 형성되는 것이 바람직하다. 상기 한 쌍의 스페이서(250) 사이에 물질막 패턴(251)을 형성한다. 상기 물질막 패턴(251)의 상부면 높이는 상기 스페이서(250)의 최상부 높이와 동일하도록 형성하는 것이 바람직하다. 상기 물질막 패턴(251)은 상기 스페이서(250)를 갖는 반도체기판(201) 전면에 물질막(미도시함)을 형

성하고, 상기 물질막을 상기 스페이서(250)를 식각저지막으로 사용하여 평탄화시키어 형성할 수 있다.

<60>       상기 물질막 패턴(251)의 측벽은 상기 스페이서(250)로 인하여 곡면으로 형성된다. 상기 스페이서(250)는 실리콘질화막으로 형성할 수 있고, 상기 물질막 패턴(251)은 폴리 실리콘막으로 형성할 수 있다.

<61>       상기 스페이서(250) 및 상기 물질막 패턴(251)을 이방성 식각으로 식각하여 제거한다. 이때, 상기 스페이서(250)의 상기 이방성 식각에 대한 식각율은 상기 물질막 패턴(251) 및 상기 터널절연막(203)에 비하여 높다. 이로 인하여, 상기 물질막 패턴(251)이 완전히 식각되기 전에, 상기 스페이서(250) 하부의 상기 터널절연막(203)이 노출된다. 상기 노출된 터널절연막(203)은 상기 남아 있는 물질막 패턴(251)이 식각되는 동안 식각되어 상기 터널절연막(203)의 양 가장자리에 각각 홈(255)이 형성된다. 상기 홈(255)은 상기 물질막 패턴(251)의 측벽 형태에 기인하여, 하부로 갈수록 좁아지는 형태, 즉, 뿔족한 형태로 형성된다. 상기 이방성식각은 상기 물질막 패턴(251) 및 상기 터널절연막(203)을 동일한 속도로 식각하는 것이 바람직하다.

<62>       상기 터널절연막 상에 도 10 및 도 11의 플로팅 게이트(204)를 형성한다. 이때, 상기 플로팅 게이트(204)의 일부분은 상기 플로팅 게이트(204) 하부의 상기 홈(255)을 채운다. 상기 홈(255) 내부에 형성된 상기 플로팅 게이트(204)의 일부분은 도 11의 게이트 돌출부(207a)에 해당한다.

<63>       상기 플로팅 게이트(204) 상에 도 10 및 도 11에 도시된 게이트 층간유전막(205) 및 제어 게이트 전극(206)을 형성한다. 상기 플로팅 게이트(204), 상기 게이트 층간유전막(205) 및 상기 제어 게이트 전극(206)은 상술한 실시예1과 동일한 방법으로 형성할 수

있다. 상기 플로팅 게이트(204) 형성시, 상기 플로팅 게이트(204) 양측의 활성영역 상에 위치한 터널절연막(303)은 식각되어 제거될 수 있다. 상기 제어 게이트 전극(206)의 양측의 활성영역에 불순물이온들을 주입하여 불순물확산층(209)을 형성한다. 결과적으로, 도 10 및 도 11의 비휘발성 기억 셀을 형성할 수 있다.

<64> (실시예 3)

<65> 본 발명의 또 다른 실시예에 따른 비휘발성 기억 셀은 상술한 실시예1의 활성영역 돌출부 및 실시예2의 게이트 돌출부를 동시에 구비한다.

<66> 도 14는 본 발명의 또 다른 실시예에 따른 비휘발성 기억 셀을 설명하기 위한 단면도이다.

<67> 도 14를 참조하면, 반도체기판(301)의 소정영역에 활성영역을 한정하는 소자분리막(302)이 배치되고, 상기 활성영역 상부에 플로팅 게이트(304)가 배치된다. 상기 플로팅 게이트(304) 및 상기 활성영역 사이에 터널절연막(303)이 개재된다. 상기 플로팅 게이트(304) 상부에 상기 활성영역을 가로지르는 제어 게이트 전극(306)이 배치되고, 상기 제어 게이트 전극(306) 및 상기 플로팅 게이트(304) 사이에 게이트 층간유전막(305)이 개재된다. 상기 플로팅 게이트(304) 하부의 상기 활성영역은 채널영역(310)에 해당한다.

<68> 상기 플로팅 게이트(304)의 하부면에 상기 플로팅 게이트(304)의 일부분이 돌출된 적어도 하나의 게이트 돌출부(315)가 배치된다. 상기 게이트 돌출부(315)는 상기 활성영역을 향하여 돌출된다. 이에 더하여, 상기 채널영역(310)의 상기 활성영역의 일부분이 돌출된 적어도 하나의 활성영역 돌출부(325)가 배치된다. 상기 플로팅 게이트(304)의 하

부면은 상기 게이트 돌출부(315) 및 게이트 평탄부(316)로 구성되고, 상기 채널영역(310) 내에 위치한 상기 활성영역의 표면은 상기 활성영역 돌출부(325) 및 활성영역 평탄부(326)로 구성된다. 상기 게이트 돌출부(315) 및 상기 활성영역 돌출부(325)는 돌출된 끝부분으로 갈수록 폭이 가늘어진다. 다시 말해서, 상기 게이트 돌출부(315) 및 상기 활성영역 돌출부(325)는 뿔족한 형태(tapered shape)이다.

<69>       상기 게이트 돌출부(315) 및 상기 활성영역 돌출부(325)는 상기 활성영역 및 상기 소자분리막(302)의 경계선 상에 위치하는 것이 바람직하다. 이때, 상기 게이트 돌출부(315) 및 상기 활성영역 돌출부(325) 사이의 상기 터널절연막(303)의 두께는 상기 게이트 평탄부(316) 및 상기 활성영역 평탄부(326) 사이의 상기 터널절연막(303)의 두께에 비하여 얇은 것이 바람직하다.

<70>       상기 게이트 및 활성영역 돌출부들(315,325)을 갖는 비휘발성 기억 셀에 프로그램 또는 소거 전압을 인가시, 상기 게이트 및 활성영역 돌출부들(315,325)에 전기장이 집중된다. 그 결과, 비휘발성 기억 셀의 프로그램 및 소거 전압을 감소시킬 수 있다.

<71>       상기 게이트 및 활성영역 돌출부들(315,325)은 상술한 실시예1 및 실시예2에서 설명한 바와 같이, 상기 채널영역(310)의 채널길 이와 평행한 라인 형태인 것이 바람직하다.

<72>       본 발명의 또 다른 실시예에 따른 비휘발성 기억 셀은 상술한 실시예1 및 실시예2에 설명된 형성방법들을 연속적으로 시행하여 형성할 수 있다.

<73>       도 15 내지 도 17은 도 14의 비휘발성 기억 셀 형성방법을 설명하기 위한 단면도들이다.



<74> 도 14, 도 15, 도 16 및 도 17을 참조하면, 반도체기판(301)에 활성영역을 한정하는 소자분리막(302)을 형성한다. 이때, 상기 소자분리막(302)의 상부측벽은 노출되는 것이 바람직하다. 상기 노출된 소자분리막(302)의 상부측벽에 제1 스페이서(350)를 형성한다. 상기 제1 스페이서(350)는 상기 활성영역에 대하여 식각선택비를 갖는 물질막으로 형성하는 것이 바람직하다. 예를 들면, 실리콘질화막으로 형성할 수 있다. 상기 제1 스페이서(350)는 채널영역 내에만 형성되도록 패터닝 공정을 더 진행하는 것이 바람직하다. 이와는 달리, 상기 제1 스페이서(350)를 패터닝하는 공정은 생략될 수 있다.

<75> 상기 소자분리막(301) 및 상기 제1 스페이서(350)를 마스크로 사용하여 상기 활성영역을 리세스하여 상기 제1 스페이서(350) 하부의 상기 활성영역을 돌출시킨다. 상기 제1 스페이서(350)를 제거한다. 상기 활성영역 상에 터널절연막(303)을 형성하여 상기 활성영역 가장자리에 활성영역 돌출부(325)를 형성한다. 이때, 상기 활성영역 돌출부(325)는 뿔족한 형태(tapered shape)로 형성된다.

<76> 상기 터널절연막(303) 상의 상기 소자분리막(302)의 노출된 상부측벽에 제2 스페이서(351)를 형성하고, 상기 제2 스페이서(351) 일측의 상기 활성영역 상에 물질막 패턴(352)을 형성한다. 이때, 상기 물질막 패턴(352)의 상부면은 상기 제2 스페이서(351)의 최상부 높이와 동일한 것이 바람직하다. 상기 제2 스페이서(351)는 실리콘질화막으로 형성할 수 있고, 상기 물질막 패턴(352)은 폴리실리콘막으로 형성할 수 있다.

<77> 상기 제2 스페이서(351) 및 상기 물질막 패턴(352)을 이방성 식각으로 제거한다. 이때, 상기 제2 스페이서(351)의 상기 이방성 식각에 대한 식각율은 상기 물질막 패턴(352) 및 상기 터널절연막(303)에 비하여 높다. 이로 인하여, 상술한 실시예2와 같이,

상기 제2 스페이서(351)의 상기 터널절연막(303)에 홈(355)이 형성된다. 상기 홈(355)은 뾰족한 형태로 형성된다. 상기 이방성식각은 상기 물질막 패턴(251) 및 상기 터널절연막(203)을 동일한 속도로 식각하는 것이 바람직하다.

<78>       상기 홈(355)을 갖는 터널절연막(303) 상에 플로팅 게이트(304), 게이트 충전유전막(305) 및 제어 게이트 전극(306)을 형성한다. 이때, 상기 플로팅 게이트(304)의 일부는 상기 플로팅 게이트(304) 하부의 상기 홈(355) 내부를 채운다. 상기 홈(355) 내부에 형성된 상기 플로팅 게이트(304)의 일부분은 게이트 돌출부(315)에 해당한다. 상기 플로팅 게이트(304) 및 상기 제어 게이트 전극(306)의 형성방법은 상술한 실시예1의 형성방법과 동일한 방법으로 형성할 수 있다. 이때, 상기 플로팅 게이트(304) 양측의 상기 활성영역에 형성된 상기 터널절연막(303)은 식각되어 제거될 수 있다. 상기 제어 게이트 전극(306)의 활성영역에 불순물확산층(309)을 형성한다.

<79>       결과적으로, 도 14의 비휘발성 기억 셀을 형성할 수 있다.

#### 【발명의 효과】

<80>       상술한 바와 같이, 본 발명의 비휘발성 기억 셀은 플로팅 게이트의 하부면 또는 상기 플로팅 게이트의 하부에 배치된 활성영역의 일부분이 돌출된 돌출부를 구비한다. 이때, 상기 돌출부는 뾰족한 형태이다. 이로 인하여, 상기 돌출부의 끝단으로 전기장이 집중되어 상기 돌출부를 터널링하는 FN 전류량이 증가한다. 그 결과, 상기 비휘발성 기억 셀의 프로그램 또는 소거 전압을 감소시킬 수 있다.

<81> 또한, 상기 집중된 전기장으로 인하여 터널절연막의 하부 에너지 밴드의 폭이 증가됨으로써, 상기 터널절연막을 터널링하는 정공들의량을 감소시킬 수 있다. 그 결과, 비휘발성 기억 셀의 내구성을 향상시킬 수 있다.

**【특허청구범위】****【청구항 1】**

반도체기판의 소정영역에 배치되어 활성영역을 한정하는 소자분리막;

상기 활성영역 상부에 배치된 플로팅 게이트;

상기 활성영역 및 상기 플로팅 게이트 사이에 개재된 터널절연막; 및

상기 플로팅 게이트의 하부면 및 상기 플로팅 게이트 아래의 활성영역 중 적어도 하나의 일부분이 돌출된 돌출부를 포함하되, 상기 돌출부는 뿔족한 형태(tapered shape)인 것을 특징으로 하는 비휘발성 기억 셀.

**【청구항 2】**

제 1 항에 있어서,

상기 돌출부는 상기 활성영역의 일부분이 돌출된 적어도 하나의 활성영역 돌출부인 것을 특징으로 하는 비휘발성 기억 셀.

**【청구항 3】**

제 2 항에 있어서,

상기 활성영역 돌출부 상의 상기 터널절연막 두께는 상기 활성영역의 평탄한 부분 상의 상기 터널절연막 두께에 비하여 얇은 것을 특징으로 하는 비휘발성 기억 셀.

**【청구항 4】**

제 1 항에 있어서,

상기 돌출부는 상기 플로팅 게이트 하부면의 일부분이 돌출된 적어도 하나의 게이트 돌출부인 것을 특징으로 하는 비휘발성 기억 셀.

**【청구항 5】**

제 4 항에 있어서,

상기 게이트 돌출부 아래의 상기 터널절연막의 두께는 상기 플로팅 게이트 하부면의 평탄한 부분 아래의 터널절연막의 두께에 비하여 얇은 것을 특징으로 하는 비휘발성 기억 셀.

**【청구항 6】**

제 1 항에 있어서,

상기 돌출부는 상기 플로팅 게이트 하부면의 일부분이 돌출된 적어도 하나의 게이트 돌출부 및 상기 활성영역의 일부분이 돌출된 적어도 하나의 활성영역 돌출부를 포함하는 것을 특징으로 하는 비휘발성 기억 셀.

**【청구항 7】**

제 6 항에 있어서,

상기 활성영역 돌출부 및 상기 게이트 돌출부 사이의 상기 터널절연막의 두께는 상기 활성영역의 평탄한 부분 및 상기 플로팅 게이트 하부면의 평탄한 부분 사이의 상기 터널절연막의 두께에 비하여 얇은 것을 특징으로 하는 비휘발성 기억 셀.

**【청구항 8】**

제 1 항에 있어서,

상기 돌출부는 상기 소자분리막 및 상기 활성영역의 경계선 상에 위치하는 것을 특징으로 하는 비휘발성 기억 셀.

## 【청구항 9】

제 1 항에 있어서,

상기 돌출부는 라인 형태인 것을 특징으로 하는 비휘발성 기억 셀.

## 【청구항 10】

제 1 항에 있어서,

상기 플로팅 게이트의 상부에 배치되되, 상기 활성영역을 가로지르는 제어 게이트 전극;

상기 제어 게이트 전극 및 상기 플로팅 게이트 사이에 개재된 게이트 충전유전막;  
및

상기 제어 게이트 전극 양측의 활성영역들에 각각 배치된 한 쌍의 불순물확산층들을 더 포함하는 것을 특징으로 하는 비휘발성 기억 셀.

## 【청구항 11】

반도체기판을 준비하는 단계;

상기 반도체기판에 활성영역을 한정하고, 상부측벽이 노출된 소자분리막을 형성하는 단계; 및

상기 활성영역 상에 적층된 터널절연막 및 플로팅 게이트를 형성하되, 상기 플로팅 게이트의 하부면 및 상기 플로팅 게이트 아래의 상기 활성영역 중 적어도 하나의 일부분을 돌출시키는 단계를 포함하되, 상기 돌출된 부분은 뿔족한 형태(tapered shape)로 형성하는 것을 특징으로 하는 비휘발성 기억 셀의 형성방법.

## 【청구항 12】

제 11 항에 있어서,

상기 터널절연막, 플로팅 게이트 및 돌출된 부분을 형성하는 단계는,

상기 노출된 소자분리막의 상부측벽에 상기 활성영역과 하부면이 접촉하고, 상기 활성영역에 대하여 식각선택비를 갖는 스페이서를 형성하는 단계;

상기 스페이서를 마스크로 사용하여 상기 활성영역을 리세스하여 상기 스페이서 하부에 예비 활성영역 돌출부를 형성하는 단계;

상기 스페이서를 제거하여 상기 예비 활성영역 돌출부를 노출시키는 단계;

상기 예비 활성영역 돌출부를 갖는 상기 활성영역을 열산화시켜, 뾰족한 형태의 활성영역 돌출부 및 터널절연막을 형성하는 단계; 및

상기 터널절연막 상에 플로팅 게이트를 형성하는 단계를 포함하되, 상기 활성영역 돌출부는 상기 돌출된 부분인 것을 특징으로 하는 비휘발성 기억 셀의 형성방법.

## 【청구항 13】

제 12 항에 있어서,

상기 스페이서는 상기 플로팅 게이트 하부에만 위치하도록 형성하는 것을 특징으로 하는 비휘발성 기억 셀의 형성방법.

## 【청구항 14】

제 12 항에 있어서,

상기 터널절연막은 상기 활성영역 돌출부 상의 두께가 상기 리세스된 활성영역 상의 두께에 비하여 얇게 형성하는 것을 특징으로 하는 비휘발성 기억 셀의 형성방법.

## 【청구항 15】

제 11 항에 있어서,

상기 터널절연막, 플로팅 게이트 및 돌출된 부분을 형성하는 단계는,

상기 활성영역 상에 터널절연막을 형성하는 단계;

상기 노출된 상부측벽에 상기 터널절연막에 하부면이 접촉하는 스페이서를 형성하는 단계;

상기 스페이서 일측의 상기 활성영역 상에 상기 스페이서와 동일한 높이를 갖는 물질막 패턴을 형성하는 단계;

상기 스페이서 및 상기 물질막 패턴을 이방성 식각으로 제거하여 상기 터널절연막을 노출시키되, 상기 스페이서 하부의 상기 터널절연막에 뿔족한 형태의 홈을 형성하는 단계; 및

상기 홈을 갖는 상기 터널절연막 상에 플로팅 게이트를 형성하는 단계를 포함하되, 상기 스페이서는 상기 물질막 패턴 및 상기 터널절연막에 비하여 상기 이방성식각에 대한 식각율이 높고, 상기 플로팅 게이트의 일부분은 상기 플로팅 게이트 하부의 상기 홈을 채우고, 상기 홈 내부의 상기 플로팅 게이트는 상기 돌출된 부분인 것을 특징으로 하는 비휘발성 기억 셀의 형성방법.

## 【청구항 16】

제 15 항에 있어서,

상기 이방성 식각은 상기 터널절연막 및 상기 물질막 패턴을 동일한 식각율로 식각하는 것을 특징으로 하는 비휘발성 기억 셀의 형성방법.



## 【청구항 17】

제 12 항에 있어서,

상기 터널절연막, 플로팅 게이트 및 돌출된 부분을 형성하는 단계는,

상기 노출된 소자분리막의 상부측벽에 상기 활성영역과 하부면이 접촉하고, 상기 활성영역에 대하여 식각선택비를 갖는 제1 스페이서를 형성하는 단계;

상기 제1 스페이서를 마스크로 사용하여 상기 활성영역을 리세스하는 단계;

상기 제1 스페이서를 제거하는 단계;

상기 활성영역을 열산화시켜 뾰족한 형태의 활성영역 돌출부 및 터널절연막을 형성하는 단계;

상기 노출된 상부 측벽에 상기 터널절연막에 하부면이 접촉하는 제2 스페이서를 형성하는 단계;

상기 제2 스페이서 일측의 상기 활성영역 상에 상기 제2 스페이서와 동일한 높이를 갖는 물질막 패턴을 형성하는 단계;

상기 제2 스페이서 및 상기 물질막 패턴을 이방성 식각하여 상기 터널절연막을 노출시키되, 상기 제2 스페이서 하부의 상기 터널절연막에 뾰족한 형태의 홈을 형성하는 단계; 및

상기 홈을 갖는 터널절연막 상에 플로팅 게이트를 형성하는 단계를 포함하되, 상기 제2 스페이서는 상기 물질막 패턴 및 상기 터널절연막에 비하여 상기 이방성 식각에 대한 식각율이 높고, 상기 플로팅 게이트의 일부분은 상기 플로팅 게이트 하부의 상기 홈

을 채우고, 상기 홈 내부의 상기 플로팅 게이트 및 상기 활성영역 돌출부는 상기 돌출된 부분인 것을 특징으로 하는 비휘발성 기억 셀의 형성방법.

【청구항 18】

제 17 항에 있어서,

상기 제1 스페이서는 상기 플로팅 게이트 하부에만 위치하도록 형성하는 것을 특징으로 하는 비휘발성 기억 셀의 형성방법.

【청구항 19】

제 17 항에 있어서,

상기 이방성 식각은 상기 터널절연막 및 상기 물질막 패턴을 동일한 식각율로 식각하는 것을 특징으로 하는 비휘발성 기억 셀의 형성방법.

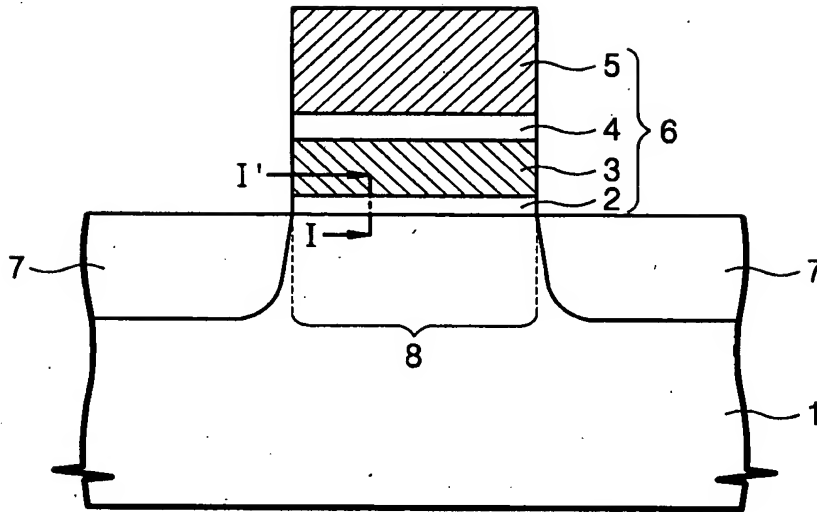
【청구항 20】

제 11 항에 있어서,

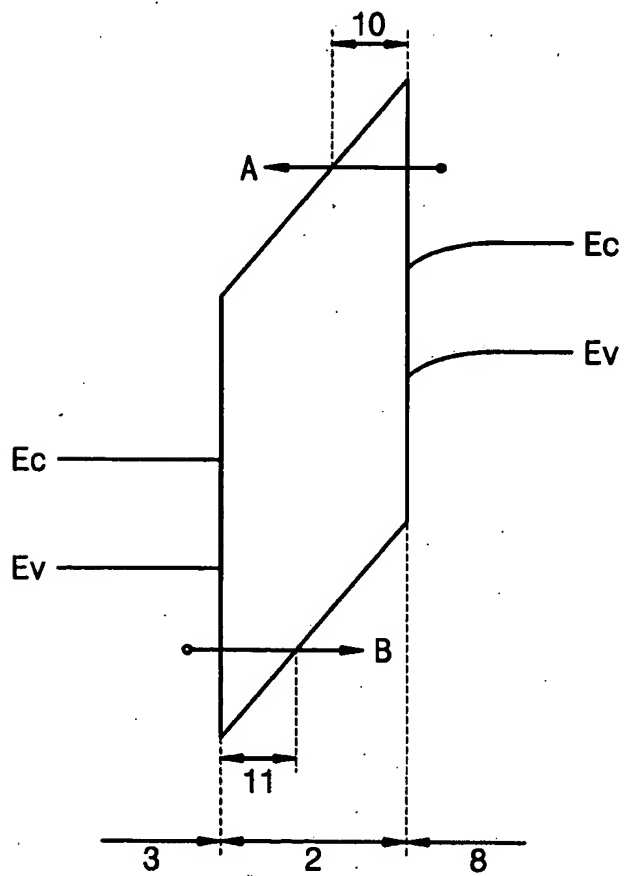
상기 플로팅 게이트 상에 적층된 게이트 층간유전막 및 제어 게이트 전극을 형성하는 단계를 더 포함하되, 상기 제어 게이트 전극은 상기 활성영역을 가로지르는 것을 특징으로 하는 비휘발성 기억 셀의 형성방법.

【도면】

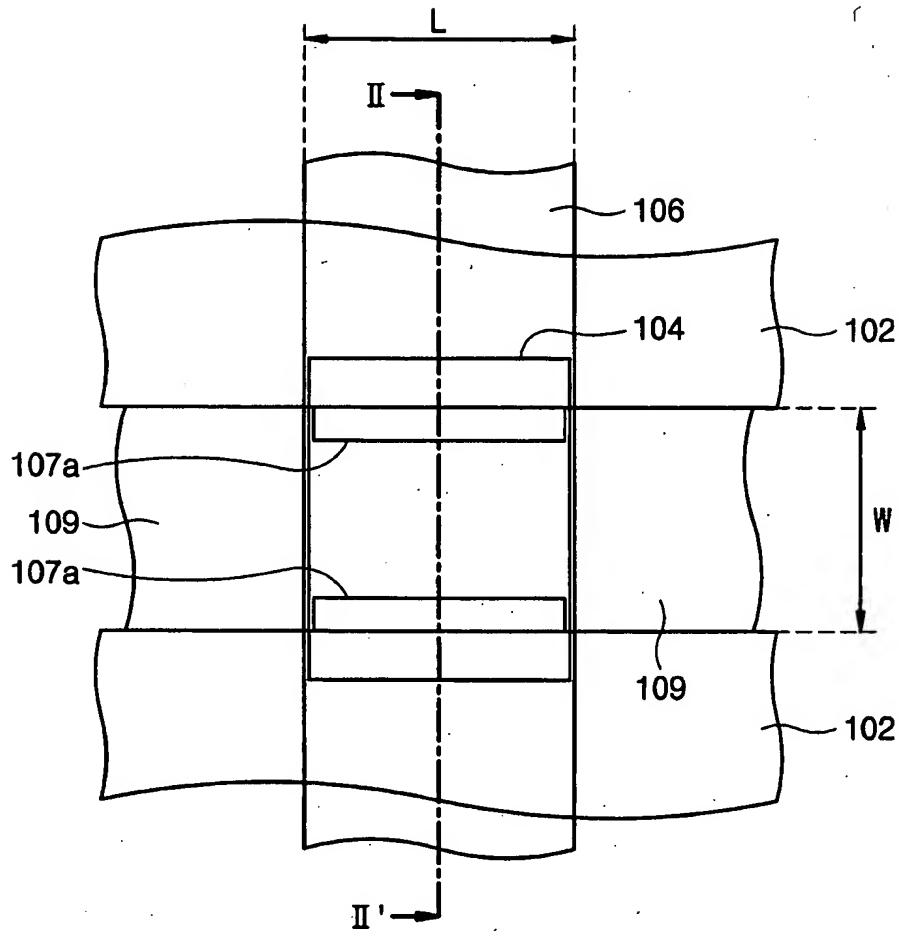
【도 1】



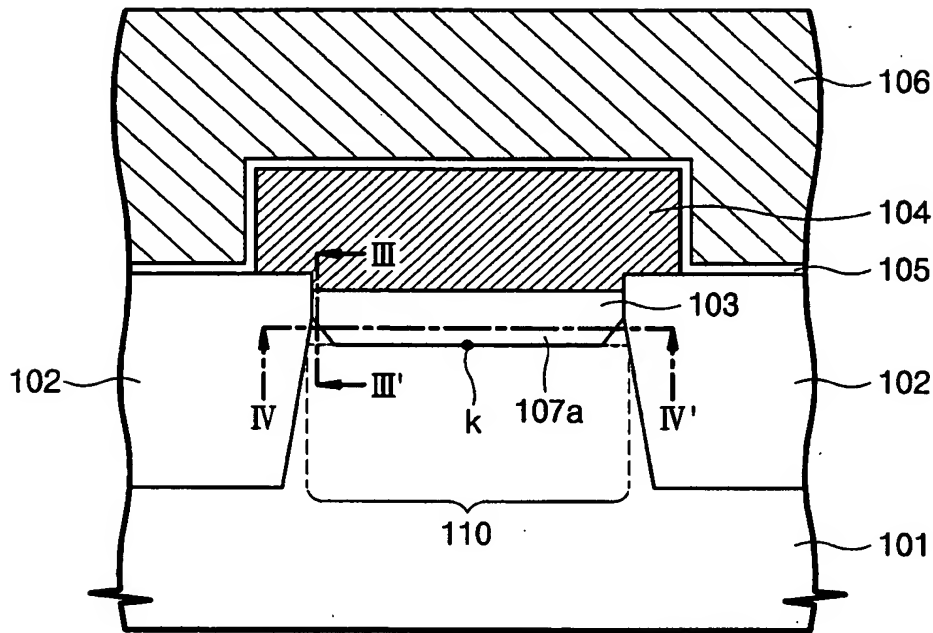
【도 2】



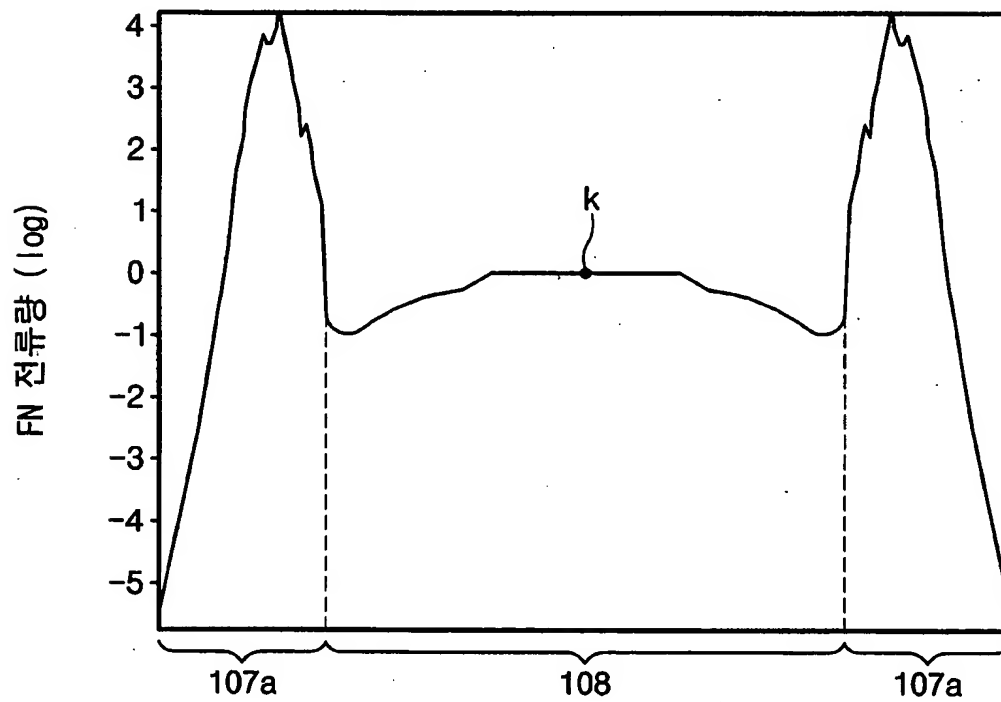
【도 3】



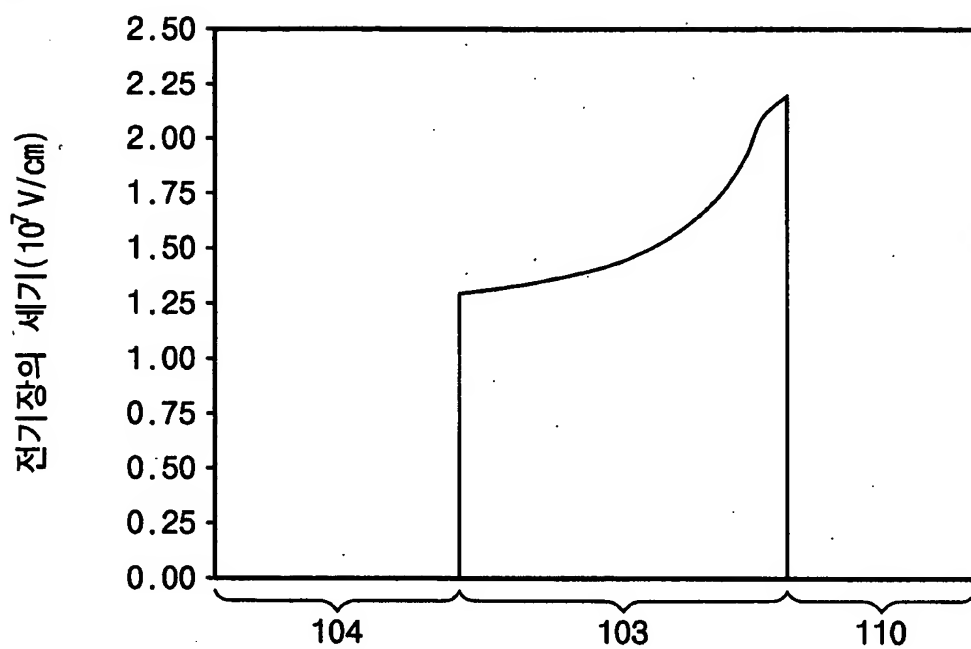
【도 4】



【도 5】

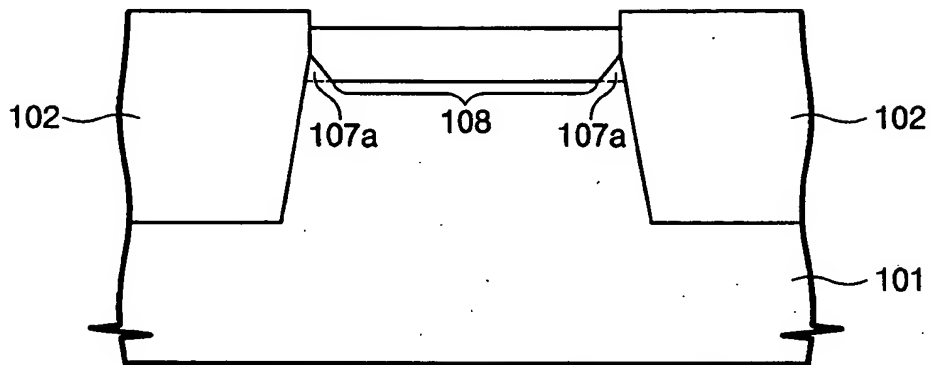


【도 6】

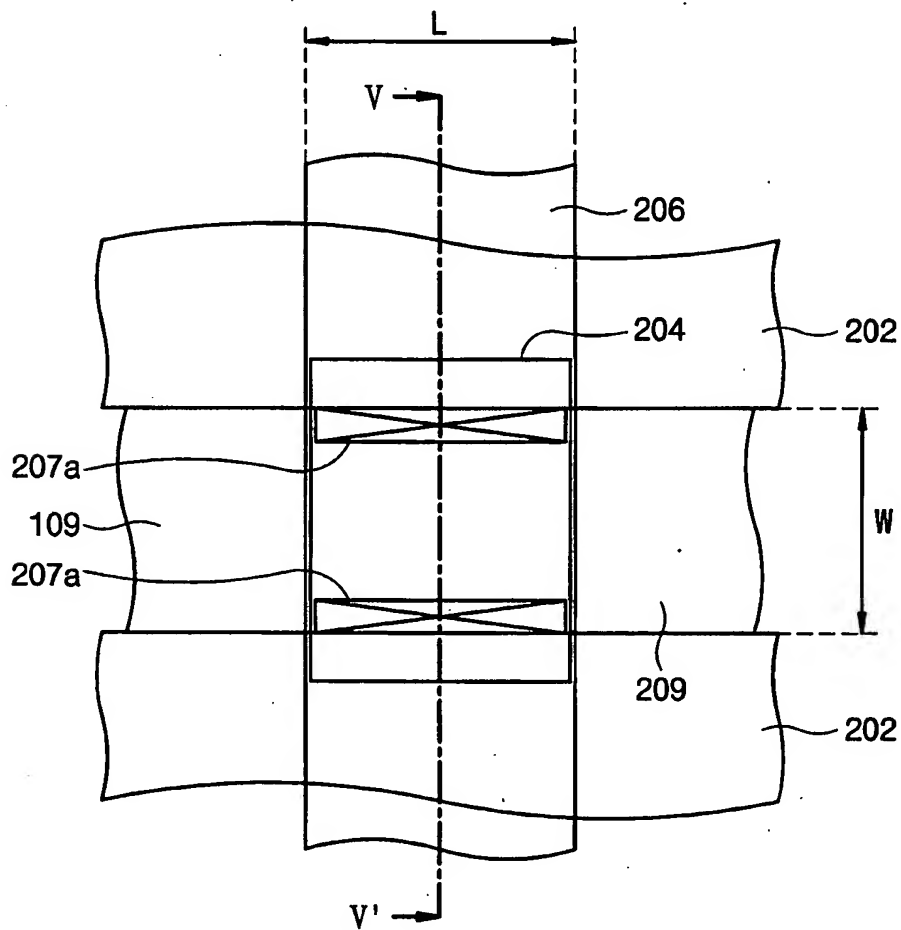




【도 9】

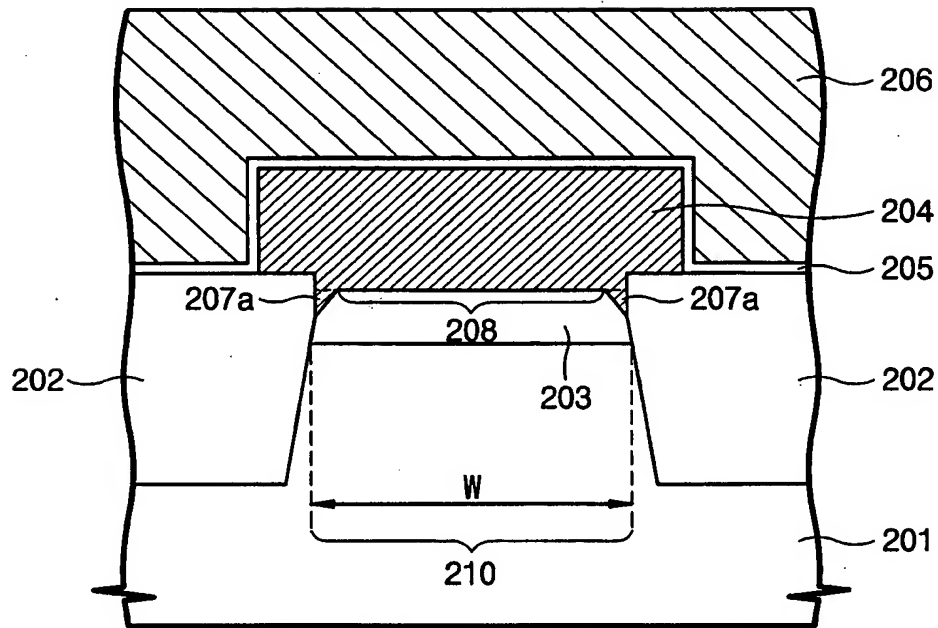


【도 10】

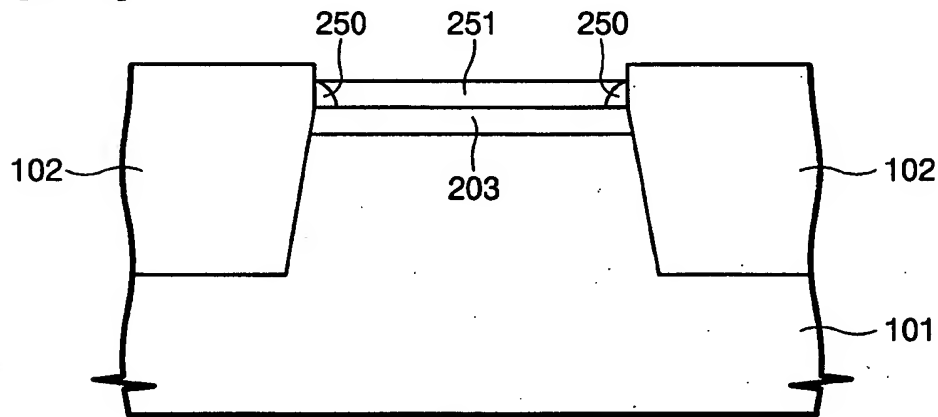




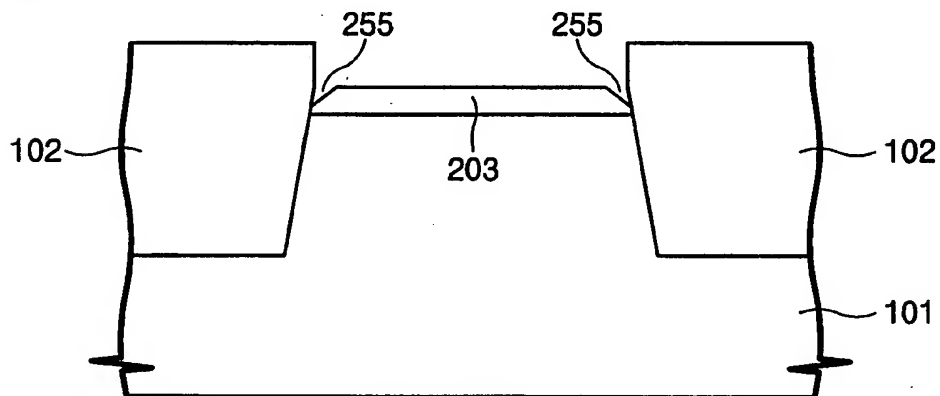
【도 11】



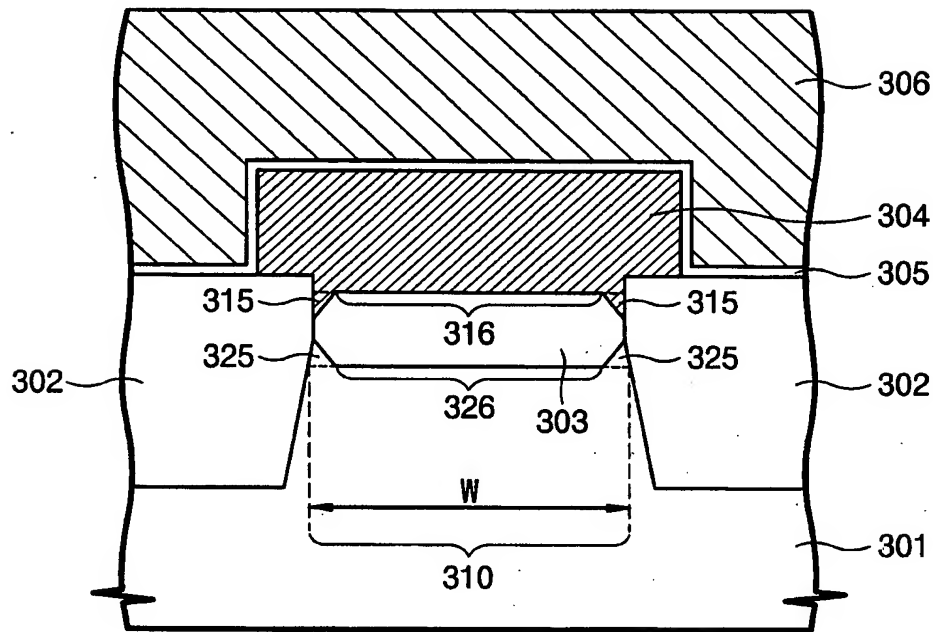
【도 12】



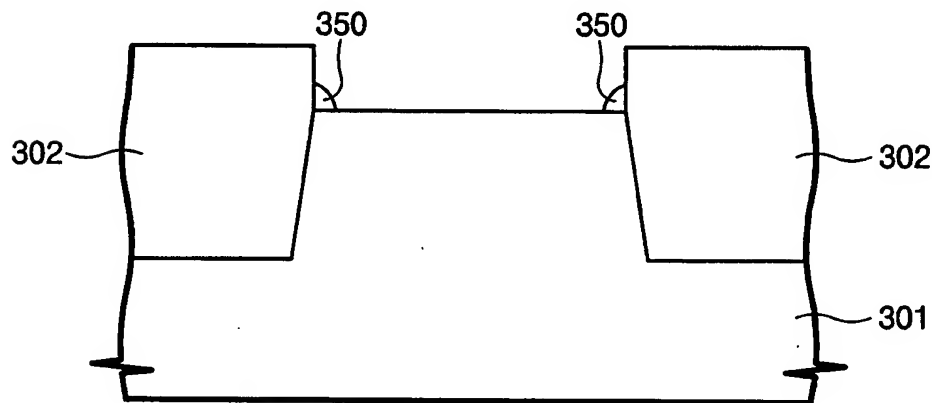
【도 13】



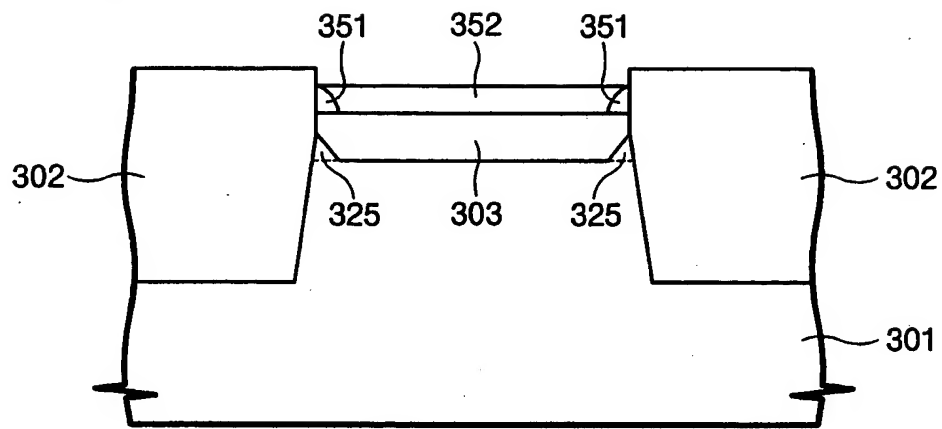
【도 14】



【도 15】



【도 16】



【도 17】

